

(19) 日本国特許庁 (J P)

(12) 公表特許公報 (A)

(11) 特許出願公表番号

特表2001-510612

(P2001-510612A)

(43) 公表日 平成13年7月31日 (2001.7.31)

(51) Int.Cl.	識別記号	F I	テーマコード (参考)
G 1 1 C 16/02		G 0 6 F 12/00	5 6 0 B
G 0 6 F 12/00	5 6 0	12/08	C
12/08			U
G 1 1 C 11/41		G 1 1 C 17/00	6 0 1 Z
		11/34	Z
		審査請求 未請求 予備審査請求 有	(全 29 頁)

(21) 出願番号 特願平10-529975  
 (86) (22) 出願日 平成9年10月14日 (1997.10.14)  
 (85) 翻訳文提出日 平成11年7月1日 (1999.7.1)  
 (86) 国際出願番号 PCT/US 97/18425  
 (87) 国際公開番号 WO 98/29816  
 (87) 国際公開日 平成10年7月9日 (1998.7.9)  
 (31) 優先権主張番号 08/777, 898  
 (32) 優先日 平成8年12月31日 (1996.12.31)  
 (33) 優先権主張国 米国 (U S)

(71) 出願人 インテル・コーポレーション  
 アメリカ合衆国・95052カリフォルニア  
 州・サンタ クララ・ミッション プレー  
 バード・2200  
 (72) 発明者 バッシュレイ, リチャード・ディ  
 アメリカ合衆国・95661・カリフォルニア  
 州・ローズビル・ハーレー ドライブ・  
 7710  
 (72) 発明者 ウINSTON, マーク・ディ  
 アメリカ合衆国・95762・カリフォルニア  
 州・エル ドラド ヒルズ・フィリップ  
 コート・874  
 (74) 代理人 弁理士 山川 政樹 (外5名)

最終頁に続く

(54) 【発明の名称】 揮発性メモリ・アレイと不揮発性メモリ・アレイを結合するための方法および装置

## (57) 【要約】

単一の半導体基板上に形成された揮発性メモリ・アレイと不揮発性メモリ・アレイをインタフェースするための集積回路 (I C) メモリ・デバイス (100) および方法。RAMデバイスの一般的な速度で機能する不揮発性データ記憶を提供するため、プロセッサ (104) などの外部デバイスから書き込まれるデータはまず、揮発性ランダム・アクセス・メモリ (RAM) 書き込みバッファ・アレイ (101) に書き込まれ、次いで、インタフェース (102) を介して揮発性RAMアレイ (101) から不揮発性フラッシュ・アレイ (103) に書き込まれる。前記アレイ中の第1のブロック・アドレスからのデータと第2のブロック・アドレスからのデータを、フラッシュ・マージ・バッファ内でマージすること、および有効性ビットを使用してデータの可干渉性を保証することができる。不揮発性フラッシュ・アレイ (103) からデータを読み取っている間、またはこれに書き込んでいる間に、これと同時に、揮発性RAMアレイ (101) からデータを書き込む、またはこれから読み取ることができる。不揮発性フラッシュ・アレイ (103)

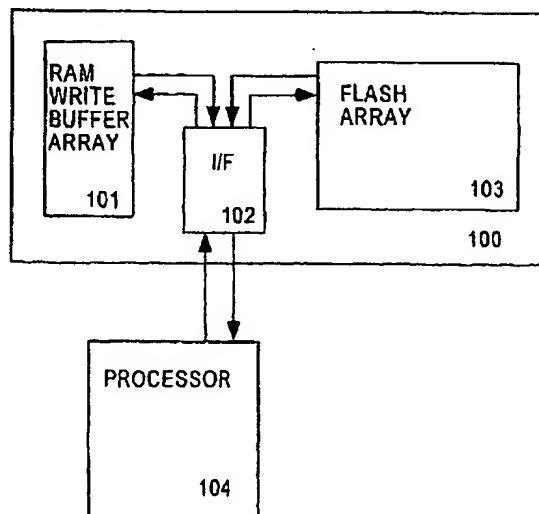


FIGURE 1

【特許請求の範囲】

1. 単一の半導体基板上に形成された揮発性メモリ・アレイ、  
前記単一の半導体基板上に形成された不揮発性メモリ・アレイ、  
前記揮発性メモリ・アレイを前記不揮発性メモリ・アレイに結合するインタフェース  
を含み、  
前記インタフェースが、第1のデータを前記揮発性メモリ・アレイに書き込み、  
続いて、前記第1のデータを、前記揮発性メモリ・アレイから前記非揮発性メモリ・アレイに書き込むように構成される  
ことを特徴とする集積回路メモリ・デバイス。
2. 前記インタフェースが、前記単一の半導体基板上に形成されることを特徴とする、請求項1に記載のメモリ・デバイス。
3. 前記インタフェースがさらに、第2のデータを前記揮発性メモリ・アレイに書き込んでいる間の少なくとも一時期に、前記第1のデータを前記揮発性メモリ・アレイから前記不揮発性メモリ・アレイに書き込むように構成されることを特徴とする、請求項1に記載のメモリ・デバイス。
4. 前記揮発性メモリ・アレイが主にダイナミック・ランダム・アクセス・メモリ(DRAM)を含み、前記不揮発性メモリ・アレイが主にフラッシュ・メモリを含むことを特徴とする、請求項1に記載のメモリ・デバイス。
5. 前記揮発性メモリ・アレイが主にスタティック・ランダム・アクセス・メモリ(SRAM)を含み、前記不揮発性メモリ・アレイが主にフラッシュ・メモリを含むことを特徴とする、請求項1に記載のメモリ・デバイス。
6. 前記インタフェースがさらに、第1のブロック・アドレスに対応する前記第1のデータと、前記揮発性メモリ・アレイに記憶され、第2のブロック・アドレスに対応する第2のデータとを、前記第1のブロック・アドレスが前記第2のブロック・アドレスと一致する場合にマージするように構成されることを特徴とする、請求項1に記載のメモリ・デバイス。
7. 前記インタフェースがさらに、第1のブロック・アドレスに対応する前記第

1 のデータと、前記非揮発性メモリ・アレイに記憶され、第2のブロック・アドレスに対応する第2のデータとを、前記第1のブロック・アドレスが前記第2のブロック・アドレスと一致する場合にマージするように構成されることを特徴とする、請求項1に記載のメモリ・デバイス。

8. 前記揮発性メモリ・アレイが第1のメモリ容量を有し、前記不揮発性メモリ・アレイが第2のメモリ容量を有し、前記第1のメモリ容量が前記第2のメモリ容量とほぼ等しいことを特徴とする、請求項1に記載のメモリ・デバイス。

9. 前記インタフェースがさらに、第2のデータを前記不揮発性メモリ・アレイから読み取っている間の少なくとも一時期に、前記第1のデータを前記揮発性メモリ・アレイに書き込むように構成されることを特徴とする、請求項1に記載のメモリ・デバイス。

10. 前記インタフェースがさらに、読取り要求のターゲットである有効データが前記揮発性メモリ・アレイに記憶されているかどうかを判定し、記憶されている場合には、要求されたデータを前記揮発性メモリ・アレイから読み取り、記憶されていない場合には要求されたデータを前記不揮発性メモリ・アレイから読み取るように構成されることを特徴とする、請求項1に記載のメモリ・デバイス。

11. 第1のブロック・アドレスに対応する前記第1のデータを、前記揮発性メモリ・アレイに書き込まれる第2のデータが、前記第1のブロック・アドレスとは異なる第2のブロック・アドレスに対応すると判定された後に、前記揮発性メモリ・アレイから前記不揮発性メモリ・アレイに書き込むように、前記インタフェースがさらに構成されることを特徴とする、請求項1に記載のメモリ・デバイス。

12. 単一の半導体基板上に形成されたランダム・アクセス・メモリ (RAM) アレイ、

前記単一の半導体基板上に形成されたフラッシュ・メモリ・アレイ、

前記RAMアレイを前記フラッシュ・アレイに結合するインタフェースを含み、

前記インタフェースが、第1のデータの読取り要求に応答して、前記第1のデータが前記RAMアレイに記憶されており、かつ有効である場合に、前記第1の

データを前記RAMアレイから読み取り、そうでない場合に、前記第1のデータを前記フラッシュ・アレイから読み取るように構成される

ことを特徴とする集積回路メモリ・デバイス。

13. 前記インタフェースがさらに、前記第1のデータを前記フラッシュ・アレイから読み取ろうとする前に、フラッシュ・マージ・バッファが空になっていることを保証するように構成されることを特徴とする、請求項12に記載のメモリ・デバイス。

14. 前記インタフェースがさらに、前記第1のデータを前記フラッシュ・アレイから読み取っている間の少なくとも一時期に、第2のデータを前記RAMアレイに書き込むように構成されることを特徴とする、請求項12に記載のメモリ・デバイス。

15. 前記インタフェースがさらに、前記第1のデータを前記RAMアレイから読み取っている間の少なくとも一時期に、第2のデータを前記RAMアレイから前記フラッシュ・アレイに書き込むように構成されることを特徴とする、請求項12に記載のメモリ・デバイス。

16. 前記インタフェースがさらに、第3のデータを前記RAMアレイに書き込んでいる間の少なくとも一時期に、第2のデータを前記RAMアレイから前記フラッシュ・アレイに書き込むように構成されることを特徴とする、請求項12に記載のメモリ・デバイス。

17. 前記第2のデータが第2のブロック・アドレスに対応し、前記第3のデータが第3のブロック・アドレスに対応し、前記インタフェースがさらに、前記第2のブロック・アドレスが前記第3のブロック・アドレスと一致しない場合に、前記RAMアレイ中で前記第2のデータを前記第3データで置き換えるように構成されることを特徴とする、請求項16に記載のメモリ・デバイス。

18. 揮発性メモリ・アレイと不揮発性メモリ・アレイをインタフェースする方法において、

揮発性メモリ・アレイおよび不揮発性メモリ・アレイを単一の半導体基板上に形成する段階、および

前記揮発性メモリ・アレイを前記不揮発性メモリ・アレイに結合するインタフ

エースを形成する段階

を含み、前記インタフェースが、

第1のアドレスに対応する第1のデータの読取り要求が発行されているかどうかを判定する段階、および

前記第1のアドレスが、前記揮発性メモリ・アレイ中のアドレスと一致するかどうかを判定し、一致しない場合に、前記第1のデータを前記不揮発性メモリ・アレイから読み取る段階

を実施するように構成される

ことを特徴とする方法。

19. 前記インタフェースがさらに、前記第1のデータを前記不揮発性メモリ・アレイから読み取ろうとする前に、不揮発性メモリ・マージ・バッファが空になっていることを保証する段階を実施するように構成されることを特徴とする、請求項18に記載の方法。

20. 前記インタフェースがさらに、前記揮発性メモリ・アレイに記憶された、前記第1のアドレスに対応するデータが有効であるかどうかを判定し、有効である場合に、前記第1のデータを前記揮発性メモリ・アレイから読み取る段階を実施するように構成されることを特徴とする、請求項18に記載の方法。

21. 前記インタフェースがさらに、前記第1のデータを前記不揮発性メモリ・アレイから読み取っている間の少なくとも一時期に、第2のデータを前記揮発性メモリ・アレイに書き込む段階を実施するように構成されることを特徴とする、請求項18に記載の方法。

22. 前記インタフェースがさらに、前記第1のデータを前記揮発性メモリ・アレイから読み取っている間の少なくとも一時期に、第2のデータを前記揮発性メモリ・アレイから前記不揮発性メモリ・アレイに書き込む段階を実施するように構成されることを特徴とする、請求項20に記載の方法。

23. 前記揮発性メモリ・アレイが主にダイナミック・ランダム・アクセス・メモリ(DRAM)を含み、前記不揮発性メモリ・アレイが主にフラッシュ・メモリを含むことを特徴とする、請求項18に記載の方法。

## 【発明の詳細な説明】

揮発性メモリ・アレイと不揮発性メモリ・アレイを結合するための方法および装置発明の分野

本発明は、コンピュータ・システムにおけるデータ記憶技術に関し、具体的には、同じ半導体基板上に形成された結合型揮発性／不揮発性メモリ・デバイス、およびそのインタフェースに関する。

発明の背景

電子デバイスの速度および機能は向上し続けているので、これらのデバイスをサポートするメモリ構成部品の速度および機能も向上し続けなければならない。例えば、過去には、パーソナル・コンピュータなどのコンピュータ・システム、電話、ファクシミリ、オーディオ、ビデオ、およびその他の電子デバイスは事実上、主として据置き式であり、主に壁面コンセントを通して電力を得ていた。しかし今日、これらのデバイスの多くは小型化され、内部バッテリーから電力を得るようになり、これらのデバイスがモバイル市場に参入することが可能になった。この傾向は将来、より強まるであろう。小型化および低電力バッテリー動作へ向かう傾向は、その電子メモリ構成部品を含むこれらのデバイスの全ての面に必然的に広がっている。

具体的な例として、モバイル・セルラ電話を考える。市場の圧力は、セル電話のさらなる小型化を後押しし、一方で、性能の向上を求めている。初期のモバイル電話は、重量が10ポンドを超え、大きさがブリーフケースほどもあった。これらの電話では、ダイヤルして、相手と通信すること以外にできることはなかった。今日、セルラ電話の重量は、オンスではなくポンドで計ることができ、これらの電話には、例えば、名前および番号の記憶、機密保護などの先進機能が組み込まれている。近い将来、セルラ電話は、例えば、ファクシミリ、コンピュータ計算、インターネット・アクセス、メッセージ交換、スケジュール管理、筆跡／音声認識など、より多くのパーソナル・データ・アシスタント(PDA)機能を持つことになるだろう。

市場性を高めるためには、これらの機能のそれぞれに、現在使用可能なものよりも進んだメモリ技術が必要となろう。将来のモバイル電子デバイスをサポートすることになるメモリ構成部品は、メモリ容量が大きいこと、高速アクセスが可能であること、低消費電力で動作すること、および、バッテリーが取り外されたりなどして電子デバイスへの電力供給が中断された場合などの電力変動があっても記憶データの完全性が維持されること、が求められる。

データ記憶媒体の一型を総称して、ランダム・アクセス・メモリ (RAM) と呼ぶ。RAMの具体的な種類には、例えば、ダイナミックRAM (DRAM)、スタティックRAM (SRAM)、ビデオRAM (VRAM)、シンクロナスDRAM (SDRAM) などがある。これらおよびその他の種類のRAM記憶デバイスは、いくつかの共通の属性を有する。例えば、これらは、その他の種類のメモリ・デバイスよりも比較的高速にデータを、RAMアレイ中の位置から読み取る、またはRAMアレイ中の位置に書き込むことができる。さらに、製造プロセス技術の進歩によって、DRAMなどのRAMデバイスを、専門化された手法を使用して高密度に形成することができるようになった。残念ながらRAMデバイスは、揮発性メモリと呼ばれるメモリ・デバイスに属する。これは、RAMアレイへの電力供給が止まると同時にアレイ中に記憶されているデータが消去されることを意味する。したがって、RAMアレイ中に記憶されたデータの完全性を保持するためには、アレイへの電力供給を常に維持しなければならない。残念ながら、モバイル電子デバイスでこの条件を満たすことは容易ではなく、このことが、RAMデバイスなどの揮発性メモリ構成部品を、データを長時間、記憶しておく必要があるモバイル用途に不向きなものにしている。

リード・オンリー・メモリ (ROM) として知られる別の種類のメモリ・デバイスがある。ROMアレイ中に記憶されたデータは、意図的に消去しない限りアレイ中に永久に固定されるので、この種のメモリは不揮発性メモリと呼ばれるメモリ・デバイスに属する。たとえROMデバイスのメモリ・アレイに供給されている電力が完全に除かれても、アレイ中に記憶されたデータは保持され続ける。一般的な種類のROMメモリ・デバイスには、プログラマブルROM (PROM)、消去可能なプログラマブルROM (EPROM)、電氣的に消去可能なプロ

グラマブルROM (EEPROM)、フラッシュ・メモリなどがある。

フラッシュ・メモリ・デバイスからはデータを、非常に高速に読み取ることができ、その速度は、同じデータをRAMデバイスから読み取るのとはほぼ同じか、またはこれよりも速い。さらに、半導体基板上に高密度フラッシュ・アレイを形成する高度に専門化された製造プロセス技術が開発されている。これらの理由から、フラッシュ・メモリ・デバイスは、データの長期保存用としてモバイル電子デバイスに組み込むのによく適している。残念ながら、フラッシュ・メモリ・アレイにデータを書き込むには長い時間がかかる。例えば、フラッシュ・アレイにデータを書き込むのにかかる時間が、そのデータをフラッシュ・アレイから読み出すのにかかる時間の1000倍以上にもなることは珍しくない。その上、フラッシュ・アレイ中の特定のブロックにデータを書き込む前にそのブロックを消去することになるので、さらに大きな時間遅延となる。

#### 発明の概要

本発明の願望は、高速読取り／書込み機能をサポートするコンピュータ・システム用メモリ・デバイスを提供することにある。

本発明の他の願望は、揮発してしまわない方法でデータを記憶するコンピュータ・システム用メモリ・デバイスを提供することにある。

単一の半導体基板の土に形成された揮発性および不揮発性の両方のメモリ・アレイを含む集積回路メモリ・デバイスを記載する。揮発性メモリ・アレイを不揮発性メモリ・アレイに結合するインタフェースが提供される。このインタフェースは、揮発性メモリ・アレイにデータを書き込み、続いてそのデータを、揮発性メモリ・アレイから不揮発性メモリ・アレイに書き込むように構成される。

本発明のその他の願望、特徴および利点は、添付図面および以下の詳細な説明から明白となろう。

#### 図面の簡単な説明

本発明は、添付図面中に例示的に示されるが、これによって限定されない。図中の同様の参照符号は同様の部品を示す。

第1図は、本発明の一実施例に基づいて形成されたコンピュータ・システムの



ブロック図である。

第2図は、本発明の一実施例に基づく読取り操作を実行するインタフェース論理を示す図である。

第3図は、本発明の一実施例に基づく書込み操作を実行するインタフェース論理を示す図である。

第4図は、本発明の一実施例に基づいて実施される段階を示す流れ図である。

#### 詳細な説明

高速読取り／書込み能力のある不揮発性データ記憶をサポートすることができる集積回路（IC）メモリ・デバイスを有するコンピュータ・システムを提供する方法および装置を説明する。RAMメモリ・アレイを、フラッシュ・メモリ・アレイと同じ半導体基板上に形成する。このRAMアレイを、フラッシュ・アレイおよび外部デバイスに結合するインタフェースを提供する。外部デバイスからICメモリ・デバイスにデータを書き込むときは、このデータをまず、RAMアレイに書き込む。これによって書込み操作が高速に実行される。その後、外部デバイスおよびユーザに対して比較的トランスペアレントな方法でこのデータを、先のインタフェースを介してRAMアレイからフラッシュ・アレイに書き込む。

外部デバイスから読取り要求を受け取ると、ICメモリ・デバイスのインタフェースはまず、RAMアレイ中で要求のあったデータを探索する。要求のあったデータがRAMアレイ中で見つからない場合は、フラッシュ・アレイからそのデータを読み取り、要求を出した外部デバイスに送る。したがって、ICメモリ・デバイスに結合された外部デバイスには、このICメモリ・デバイスが、RAMデバイスの一般的な速度での読取りおよび書込みの両方の操作をサポートするよう見えるが、このICは、ROMデバイスのような揮発しない方法でもデータを記憶している。さらに、単一の半導体基板上にRAMアレイとフラッシュ・アレイとを統合すると、空間が節約でき、インタフェースの冗長度が低下し（例えば、RAMおよびROMの両方を同じインタフェースでサポートする）、電子デ

バイスの小型化をサポートすることができる。

このICメモリ・デバイスの、基本的なコンピュータ・システムへの取り付け方法、およびこれとのインタフェース方法に関する概要を示すため、最初に、このICメモリ・デバイス全体の構造を詳細に説明する。次に、ICメモリ・デバイスのRAMアレイとROMアレイの間のインタフェースの実施例について詳細に論じる。

第1図は、本発明の一実施例に基づいて形成されたコンピュータ・システムのブロック図である。このコンピュータ・システムは、インタフェース102に結合されたプロセッサ104を含み、インタフェース102は、RAM書込みバッファ・アレイ101およびフラッシュ・アレイ103に結合される。RAM書込みバッファ・アレイ101、インタフェース102、およびフラッシュ・アレイ103は単一の半導体基板上に一体に形成され、ICメモリ・デバイス100を作成する。本発明の代替実施例では、外部デバイスを内部のメモリ・アレイに結合し、内部のメモリ・アレイを相互に結合するこのインタフェースの全てまたは一部が、別個の半導体基板上にある。本発明の一実施例では、ICメモリ・デバイスのRAM書込みバッファ・アレイが、例えばDRAMまたはSRAMアレイなどの高密度メモリ・アレイ・フォーマット中での（フラッシュ・アレイに比べ）比較的に高速な読取りおよび書込み操作をサポートするRAM技術を使用して形成される。本発明の代替実施例によれば、フラッシュ・アレイを、例えばEPROM、EEPROMなど、適当な任意の不揮発性高密度記憶アレイとすることができる。

ICメモリ・デバイス100は、3つの異なる製造技術を単一の半導体基板（または「チップ」）上に取り込んでいる。RAM書込みバッファ・アレイ101は、例えば、最大データ記憶密度を達成するための電荷蓄積用トレンチ・キャパシタの形成を含むDRAM技術を使用して形成される。インタフェース102は、相補型金属酸化物半導体（CMOS）製造技術を使用して形成された論理ゲートおよびレジスタを主に含む。フラッシュ・アレイ103は、例えば浮遊ポリシリコン・ゲート、制御ゲート、および電荷蓄積および除去用の高濃度にドーブされたソースドレイン領域の形成を含むフラッシュ製造技術を使用して形成され

る。

本発明の一実施例では、ICメモリ・デバイス100が、DRAM製造プロセス段階、CMOS製造プロセス段階、およびフラッシュ製造プロセス段階を結合することによって形成される。この際、DRAMプロセス段階が、RAM書き込みバッファ・アレイ領域に適用され、その間、インタフェース102およびフラッシュ・アレイ103が、これらの領域をDRAMプロセス段階から保護する酸化物、窒化物またはポリシリコンなどの保護層でコーティングされる。同様に、CMOSプロセス段階が、ICメモリ・デバイス100の半導体基板に適用されてインタフェース102が形成され、この間、RAMアレイ101およびフラッシュ・アレイ103が保護層でコーティングされる。この実施例では、フラッシュ・アレイ103も同様の方法で形成される。すなわち、フラッシュ・プロセス段階が、半導体基板のこの領域に適用され、その間、RAMアレイ101およびインタフェース102が保護層でコーティングされる。本発明の代替実施例では、DRAM、CMOSおよびフラッシュ半導体製造技術がより高度に結合されて、プロセス段階が最小限に抑えられ、これによってICメモリ・デバイス100の製造におけるスループット時間および欠陥密度が低減する。例えば、RAMアレイのDRAMトランジスタが、インタフェースのCMOS論理トランジスタおよびフラッシュ・アレイの制御ゲートとともに形成される。さらに、例えば、トレンチ分離領域の形成などの初期フロントエンド・プロセス段階、および金属相互接続層の形成などのバックエンド・プロセス段階は、3つの全ての半導体製造技術にわたって共通である傾向があるので、RAMアレイ、インタフェースおよびフラッシュ・アレイに対して同時に適用される。

本発明の一実施例によれば、RAM書き込みバッファ・アレイの記憶容量が、フラッシュ・アレイの記憶容量とほぼ等しい。この実施例では、第1図のコンピュータ・システムを起動すると、フラッシュ・アレイ103の内容がRAMアレイ101に書き込まれ、そのために、ICメモリ・デバイス100へのほとんど全てのメモリ・アクセスが、インタフェース102を介してRAMアレイ101に向けられる。この実施例の利点は、フラッシュ・アレイをRAMアレイに結合するインタフェースの設計が単純になることである。残念ながら、インタフェース

の設計を単純にすることによって節約される半導体基板表面の面積以上に、RAMアレイのサイズが大きくなる場合がある。さらに、ICメモリ・デバイスに記憶されたデータの非揮発性を維持するため、デバイスへの電力供給を遮断する前に、大きなRAMアレイの全内容を、フラッシュ・アレイに再ロードしなければならない、このことに、許容しがたい長い時間がかかることがある。

本発明の他の実施例では、RAM書込みバッファ・アレイのメモリ容量、インタフェースの複雑性、およびICメモリ・デバイスの読取りおよび書込みの実行速度の間のバランスを適切にすることによって、トランジスタの数、したがってICメモリ・デバイスのサイズが最小限に抑えられる。例えば、RAMアレイへのデータの書込みマージ、RAMアレイおよびフラッシュ・アレイからのデータの同時読取り、およびRAMアレイとフラッシュ・アレイの間のバックグラウンド読取り／書込みをサポートするインタフェースを設計することによって、メモリの読取り／書込み操作を十分にサポートしながら、RAM書込みバッファ・アレイのメモリ記憶容量を、フラッシュ・アレイの記憶容量よりもはるかに小さくすることができる。

本発明の一実施例では、ICメモリ・デバイスのインタフェースが、任意の所与の時刻に、単一の読取り操作または単一の書込み操作のみを実行する。例えば、外部デバイスによってICメモリ・デバイスに発行された読取り要求に応答して、インタフェースは第1の時間に、要求のあったデータを、RAMアレイまたはフラッシュ・アレイから読み取る。書込み要求がICメモリ・デバイスに発行された場合には、インタフェースが第2の時間に、そのデータを、RAMアレイまたはフラッシュ・アレイに書き込む。インタフェースはさらに、第3の時間に、RAMアレイからフラッシュ・アレイに、またはフラッシュ・アレイからRAMアレイにデータを書き込むように構成される。

本発明の代替実施例では、ICメモリ・デバイスのRAM書込みバッファ・アレイ、フラッシュ・アレイおよびインタフェースが、これらの2つのメモリ・アレイと1つまたは複数の外部デバイスとの間の同時読取り／書込みをサポートするように構成される。例えば一実施例では、RAMアレイまたは外部デバイスからフラッシュ・アレイにデータを書き込んでいる間の少なくとも一時期に、外部

デバイスが R A M アレイからデータを読み取る。別の実施例では、フラッシュ・アレイから外部デバイスにデータを読み取っている間の少なくとも一時期に、外部デバイスまたはフラッシュ・アレイから R A M アレイにデータを書き込む。

第 2 図は、本発明の実施例に基づいて読取り操作を実行する前述の I C メモリ・デバイスのインタフェース論理を示す図である。プロセッサ 200 で代表させる外部デバイスが、読取り要求を、要求するデータのアドレス 201 とともに I C メモリ・デバイスに発行する。アドレス 201 は 3 つの部分を含む。タグと呼ばれる第 1 の部分はアドレスの最上位ビットを含む。インデックスと呼ばれる中央部分は、R A M 書込みバッファ・アレイ 202 の内部の、アドレス 201 に関連したデータが置かれた位置を指示する。アドレス 201 の最後の部分はブロック・オフセットと呼ばれ、インデックスによって指示されたデータ・ブロック内の、プロセッサ 200 が要求している特定のデータ部分が存在する特定の位置を指示する。

第 2 図に示した実施例では、R A M 書込みバッファ・アレイ 202 が、直接にマップされる、すなわち、特定のインデックスに対応するデータが、R A M 書込みバッファ・アレイ内の単一の位置にのみ配置される。本発明の代替実施例では、R A M アレイが、セット・アソシエイティブまたはフル・アソシエイティブである。

データは、I C メモリ・デバイスの書込み操作中に R A M 書込みバッファ・アレイ 202 に記憶される（第 3 図に関連して後に説明する）。先に説明したとおり、I C メモリ・デバイスへのデータ書込み速度を高めるため、データはまず、このデバイスの揮発性 R A M 部分に書き込まれ、その後、不揮発性フラッシュ・アレイに転送される。このとき操作は、I C メモリ・デバイスと通信状態にある外部デバイスからはほとんど見えないように実施される。したがって、R A M アレイに記憶されたデータは、フラッシュ・アレイから以前に読み取られ、もしかすると修正され、R A M アレイに再び書き込まれたデータである可能性がある。このことが起きていて、かつ、R A M アレイに記憶されたデータがまだ、フラッシュ・アレイの適当なアドレスに再び書き込まれていないとき、このデータに対して外部デバイスによって発行された読取り要求は、フラッシュ・アレイからで

はなくRAMアレイからデータを供給することによって満たされ、フラッシュ・アレイに含まれる古い、最新のものでない可能性のあるデータが使用されることはない。一方、要求のあったデータがRAMアレイの中で見つからない場合には、このデータを、フラッシュ・アレイから読み取ることができる。このようにして、RAM書込みバッファ・アレイとフラッシュ・アレイの間のデータの可干渉性が維持される。

プロセッサ200が要求したデータのアドレス201のインデックス・フィールドを使用して、RAM書込みバッファ・アレイ202内の位置を識別する。この位置に、その位置に記憶されたデータのアドレスのアドレス・タグxが、その対応するデータとともに記憶されている。完全なデータ・ブロックが、RAMアレイ202のアドレス・タグx対応するブロック・アドレスのデータ・フィールドに記憶されている。アドレス・タグxに対応するブロック・アドレスのデータ・フィールドに示した4つのデータ要素、i、xb、xcおよびxdはそれぞれ64ビット・ワードであり、データ・ブロック全体のサイズは32バイトになる。本発明の代替実施例では、別のブロック・サイズおよびデータ要素サイズが使用される。本発明の一実施例では、フラッシュ・アレイ内の対応するアドレスのブロック・サイズと等しいデータ・ブロック・サイズを選択すると都合がよい。

RAM書込みバッファ・アレイ202のアドレス・タグ・フィールド内の値xが、比較器205に供給され、要求のあったデータのアドレス201のタグ・フィールドと比較される。2つのタグが一致した場合、比較器205はその出力線をハイ・レベルに駆動する。タグが一致しない場合、比較器205はその出力線をロー・レベルに引き下げる。その間に、アドレス・タグxに対応するブロック・アドレスのデータ・ブロックがマルチプレクサ204の入力に供給される。アドレス201のブロック・オフセット値に応答して、4つの64ビット・データ要素i、xb、xcおよびxdのうちの1つが選択され、出力線210上に送られる。

第2図で使用した命名法によれば、iを含むデータ要素はいずれもその位置に無効データを含むことに留意されたい。無効データは、それぞれの64ビット・

データ要素に対応する有効性ビットによって物理的に識別される。この有効性ビットは、データが有効である場合、ハイ（論理「1」）、無効である場合、ロー（論理「0」）である。マルチプレクサ204の出力線210に転送されたデータ要素に対応する有効性ビットが線209に出力される。

比較器205の出力およびマルチプレクサ204の有効性ビット出力線209がANDゲート206の入力に加えられる。出力線210は、マルチプレクサ207の入力に加えられる。マルチプレクサ207の入力にはさらに、要求のあったデータが、フラッシュ・アレイ203の適当なアドレス位置yから加えられる。

ANDゲート206の出力が、マルチプレクサ207の入力選択を制御し、アドレス201のタグ・フィールドが、RAM書込みバッファ・アレイ中のアドレス・タグxと一致し、対応するデータ要素が有効である場合に、RAMアレイ202から読み取ったデータのみが、マルチプレクサ207を介してプロセッサ200のデータ入力ポートに送られるようにする。そうでない場合には、フラッシュ・アレイ203から読み取られ、マルチプレクサ207の入力に供給されたデータが選択され、プロセッサ200のデータ入力ポートに送られる。このようにして、RAM書込みバッファ・アレイ202とフラッシュ・アレイ203の間のデータの可干渉性が維持される。

本発明の一実施例によれば、前述の読取り操作が実施されている間の任意の一時期に、ICメモリ・デバイスのインタフェースが、RAM書込みバッファ・アレイ202からフラッシュ・アレイ203へのデータの書込みをバックグラウンドで実施する。第2図に示すように、RAMアレイ202のアドレス・タグWに対応するブロック・アドレスに関連したデータが、フラッシュ・アレイ203中の対応するアドレスzに記憶されたデータとマージされ、フラッシュ・アレイ203のアドレスzに再び記憶される。フラッシュ・アレイに書き込むためにRAM書込みバッファ・アレイから選択する特定のデータは、いくつかある方法のいずれかで選択する。例えば、一実施例では、最低使用頻度のデータ・ブロック（書込みまたは読取りの頻度が最も小さいデータ・ブロック）が選択され、RAMアレイから追い出されて、フラッシュ・アレイに再び記憶される。本発明の代替

実施例では、ランダム選択手順が使用される。本発明の他の実施例では、外部デバイスが、RAM書き込みバッファ・アレイ中の特定の位置にあるデータをRAMアレイからフラッシュ・アレイに書き込むよう具体的に要求する。

フラッシュ・メモリ・アレイの限界の1つは、データ・ビットを個々に消去することができないことである。消去の際には、アレイに記憶された1データ・ブロック全体を一度に消去しなければならない。フラッシュ・アレイの既にデータが存在する位置にデータを書き込むためには、その先在するデータを含むブロック全体を消去しなければならない。フラッシュ・マージ・バッファ208を使用して、RAM書き込みバッファ・アレイ202からのデータおよび対応するフラッシュ・アレイ203からのデータを一時的に格納し、これらをマージし、その間に、フラッシュ・アレイ203中の該当するブロックを消去する。次いで、マージされたデータを、フラッシュ・マージ・バッファからそのブロックに再び書き込む。

RAMアレイ202のデータ・ブロックとフラッシュ・アレイ203の対応するデータ・ブロックのマージには、RAMアレイのデータ・ブロックのそれぞれのデータ要素をフラッシュ・アレイの対応するブロックのデータ要素と比較することが含まれる。RAMアレイに記憶されているデータ要素が有効である場合には、このデータ要素で、マージ・バッファにあるフラッシュ・アレイからの対応するデータ要素を置き換える。RAMアレイに記憶されているデータ要素が無効である場合には、フラッシュ・アレイからの対応するデータ要素で、マージ・バッファにあるRAMアレイからの無効エントリを置き換える。RAM書き込みバッファ・アレイ202のアドレス・タグwに対応するブロック・アドレスに記憶されたデータ・ブロックと、フラッシュ・アレイ203のフラッシュ・ブロック・アドレスzに記憶されたデータとの間のこの種のマージの一例をフラッシュ・マージ・バッファ208に示す。

アドレス・タグwに対応するブロック・アドレスの最初のデータ要素エントリwaは有効であり、そのためこれが、フラッシュ・マージ・バッファ208の最初の位置に入力される。RAMアレイのこのブロック・アドレスの次のデータ要素は無効であり、そのため、フラッシュ・マージ・バッファ208の2番目のエ



ントリには、これもたまたま無効であるフラッシュ・アレイ 203 の対応するデータ要素が採用される。3 番目のデータ要素エントリ  $w_c$  は有効であり、これが、図示のように、フラッシュ・マージ・バッファの 3 番目のエントリ位置に置かれる。アドレス・タグ  $w$  に対応するブロック・アドレスの最後のデータ要素は無効であり、そのため、フラッシュ・アレイから対応するデータ要素  $z_d$  がとられ、図示のように、フラッシュ・マージ・バッファ 208 の該当する位置に置かれる。本発明の一実施例では、フラッシュ・マージ・バッファが、RAM 書込みバッファ・アレイ中の特別な予約アドレス位置に存在する。他の実施例では、フラッシュ・マージ・バッファがフラッシュ・アレイ中に存在する。

第 3 図は、本発明の実施例に基づく書込み操作を実行するインタフェース論理を示す図である。プロセッサ 300 で代表させる外部デバイスが、書込み要求を、メモリ・デバイスに書き込むデータおよび対応するアドレス位置とともに発行する。先に説明したとおり、アドレス 301 は 3 つのフィールドを含む。インデックス・フィールドによって、RAM 書込みバッファ・アレイ 302 内の適当な位置が選択される。このブロック・アドレスのアドレス・タグ  $x$  が比較器 305 の入力に供給され、アドレス 301 のタグ・フィールドと比較される。

IC メモリ・デバイスに書き込む、プロセッサ 300 から供給されたデータは、デマルチプレクサ 311 の入力に供給される。このデータは次いで、アドレス 301 のブロック・オフセット値に基づいてブロック・アドレス  $x$  中の適当な位置にシフトされる。アドレス・タグ  $x$  に対応するブロック・アドレスを有するデータが線 314 に沿ってマルチプレクサ 312 の入力に供給される。外部デバイスから RAM アレイにデータを書き込む間に、RAM アレイからフラッシュ・アレイにデータを書き込む本発明の一実施例では、マルチプレクサ 312 の入力に、アドレス・タグ  $w$  に対応するブロック・アドレスに関連したデータも供給される。先に説明したように、RAM アレイからフラッシュ・アレイへのこのバックグラウンド書込みに選択されるデータは、最低使用頻度のデータ・ブロックとして、またはランダムに、または外部デバイスからの特定の命令に応答して選択される。

比較器 305 の出力がハイ・レベルである場合、すなわち、アドレス・タグ  $x$

が、アドレス301のタグ・フィールドに記憶されたタグと一致することを指示している場合、マルチプレクサ312は、入力線313で加えられたデータをフラッシュ・マージ・バッファ308に送り、プロセッサ300の出力に供給されたデータが、アドレス・タグxに対応するブロック・アドレスにマージされ、その位置に以前に記憶されたデータ要素がその要素の如何を問わず置き換えられる。比較器304からの出力がロー・レベルである場合、これは、アドレス・タグxがアドレス301のタグ・フィールドと一致しないことを指示している。この場合、マルチプレクサ312は、入力線314のデータをフラッシュ・マージ・バッファ308に送り、プロセッサ300によって供給されたデータで、対応するブロック・アドレスに以前に記憶されていたデータを完全に置き換え、ブロック中の書込みをしない個々の全てのデータ要素を無効にする。さらに、アドレス301のタグ・フィールドからの新しいアドレス・タグの値を、対応するブロック・アドレスの中のアドレス・タグ位置に記憶する。

フラッシュ・マージ・バッファ308は、第2図に関して説明したフラッシュ・マージ・バッファと同じ機能を実行する。第3図に示した例では、プロセッサ300からメモリICに書き込まれるデータのアドレスが、RAM書込みバッファ・アレイ302に記憶されたアドレスと一致しない。したがって、アドレス・タグxに対応するブロック・アドレスの古いデータが、新しく入力されたデータによって完全に置き換えられ、古いデータは、マルチプレクサ312を介してフラッシュ・マージ・バッファ308に送られ、そこで、図示のように、フラッシュ・アレイ303のブロック・アドレスzのデータとマージされる。マージ後、このデータはフラッシュ・アレイに再び書き込まれる。

第4図は、本発明の一実施例に基づいて実施される段階を示す流れ図である。段階400で、外部デバイスが、ICメモリ・デバイスへのアクセスを含む要求を発する。本発明の一実施例では、このICメモリ・デバイスが、RAMアレイおよびフラッシュ・メモリ・アレイの両方を単一の半導体基板上に組み込んだRAM/フラッシュ・メモリ・デバイスである。段階405で、メモリ・デバイスに提供されたインタフェースがまず、外部デバイスによって発行された要求が読取り要求であるのか、または書込み要求であるのかを判定する。要求が読取り要

求である場合、インタフェースは次に段階420で、ターゲット・アドレスと呼ぶ、読み取るデータに対応するアドレスが、メモリ・デバイスのRAM部分に記憶されたアドレスと一致するかどうかを判定する。

一致するものがある場合、インタフェースはさらに段階425で、ターゲット・データと呼ぶ読み取り要求のターゲットであるデータが、有効であるかどうかを判定しなければならない。ターゲット・データが無効である場合、または、ターゲット・アドレスがRAMに記憶されたアドレスと一致しない場合には、インタフェースは段階455で、フラッシュ・マージ・バッファが満たされているかどうかを判定しなければならない。この判定の目的は、フラッシュ・マージ・バッファが満たされており、ターゲット・データがたまたま、フラッシュ・マージ・バッファに記憶されている場合に、この新しいデータを、フラッシュ・マージ・バッファからフラッシュ・アレイにアップロードする前に、古くて最新のものではない可能性があるデータまたは無効データを、メモリ・デバイスのフラッシュ・メモリ部分から読み取ることである。

したがって、フラッシュ・マージ・バッファが満たされている場合には、メモリ装置インタフェースは段階460で、マージ・バッファが空になるのを待ち、その後、ターゲット・データをフラッシュから読み取る。フラッシュ・マージ・バッファが満たされていない場合には、メモリ・デバイスのインタフェースは、段階465にスキップして、ターゲット・データをフラッシュから読み取ることができる。本発明の一実施例では、段階465で、RAM/フラッシュICメモリ・デバイスのフラッシュ・メモリ・アレイからターゲットを読み取っている間の少なくとも一時期に、第2のデータが、例えばICメモリ・デバイスに結合された他の外部デバイスからメモリ・デバイスのRAMアレイに書き込まれる。

また、ターゲット・アドレスがRAMに記憶されたアドレスと一致し、ターゲット・データが有効である場合には、段階435で、ターゲット・データが、メモリ・デバイスのRAM部分から読み取られる。本発明の一実施例によれば、ターゲット・データをRAMから読み取っている間の少なくとも一時期に、第2のデータをRAMからフラッシュ・メモリ・アレイに書き込む同時書き込み操作が実行される。本発明の一実施例によれば、この書き込み操作が、データをフラッシュ

・マージ・バッファにマージしてから、フラッシュ・メモリ・アレイにこのブロックを書き込む断続的段階を含むことに留意されたい。

段階405で、外部デバイスによって発行されたアクセス要求が書込み要求であるとRAM/フラッシュICメモリ・デバイスのインタフェースが判定した場合には、インタフェースは次に段階440で、ターゲット・アドレスがRAMに記憶されたアドレスと一致するかどうかを判定する。一致するものがあつた場合には、段階445で、ターゲット・データを、RAMアレイにすでに記憶されているデータとマージすることによって、このデータを、RAMアレイの中の適当な位置に書き込む。本発明の一実施例によれば、段階445で、ターゲット・データをメモリ・デバイスのRAM部分に書き込んでいる間の少なくとも一時期に、第2のデータが、RAMアレイからフラッシュ・メモリ・アレイに同時に書き込まれる。

しかし、ターゲット・アドレスがRAMに記憶されたアドレスと一致しないと段階440で判定された場合には、段階450で、ターゲット・ブロック・アドレスに以前に記憶された第2のデータを、例えばそのブロックの有効性ビットの値を「0」に設定することによって置き換え、ターゲット・データをRAMに書き込む。本発明の一実施例では、段階450で、ターゲット・データをRAMに書き込んでいる間の少なくとも一時期に、RAMアレイから追い出された第2のデータがRAMアレイからフラッシュ・アレイに同時に書き込まれる。

以上の明細書では、本発明を、特定の例示的な実施例に関して説明した。しかし、本発明の広範な趣旨および範囲から逸脱することなく、これにさまざまな修正および変更を実施できることは明白である。したがって本明細書および図面を限定のためと見るべきではなく、例示のためと見るべきである。

#### 図の訳

##### 第1図

101 RAM書込みバッファ・アレイ

103 フラッシュ・アレイ

104 プロセッサ

## 第2図

201 タグ／インデックス／ブロック・オフセット

#1 プロセッサ

#2 アドレス

#3 データ入力

#4 RAM書き込みバッファ・アレイ

#5 アドレス・タグ

#6 データ

#7 フラッシュ・アレイ

## 第3図

301 タグ／インデックス／ブロック・オフセット

#1 プロセッサ

#2 アドレス

#3 データ出力

#4 RAM書き込みバッファ・アレイ

#5 アドレス・タグ

#6 データ

#7 フラッシュ・アレイ

## 第4図

#1 開始

400 RAM／フラッシュ・メモリ・デバイスへのアクセス要求

405 読取り要求か？

420 ターゲット・アドレスがRAMに記憶されたアドレスと一致するか？

425 ターゲット・データは有効か？

435 RAMからターゲット・データを読み取る。第2のデータのRAMからのフラッシュへの同時書き込み

440 ターゲット・アドレスがRAMに記憶されたアドレスと一致するか？

445 ターゲット・データをRAMにマージし書き込む。第2のデータのRAM

Mからのフラッシュへの同時書き込み

450 以前にRAMに記憶された第2のデータを置き換えてターゲット・データをRAMに書き込む。第2のデータのフラッシュへの同時書き込み

455 フラッシュ・マージ・バッファは満たされているか？

460 マージ・バッファが空になるのを待つ

465 ターゲット・データをフラッシュから読み取る。第2のデータのRAMへの同時書き込み

#2 終了

【図1】

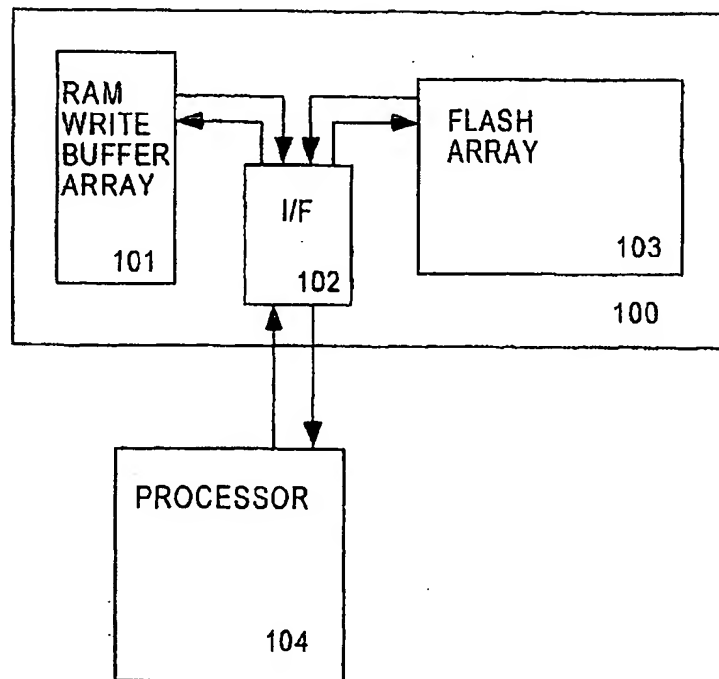


FIGURE 1

【 図 2 】

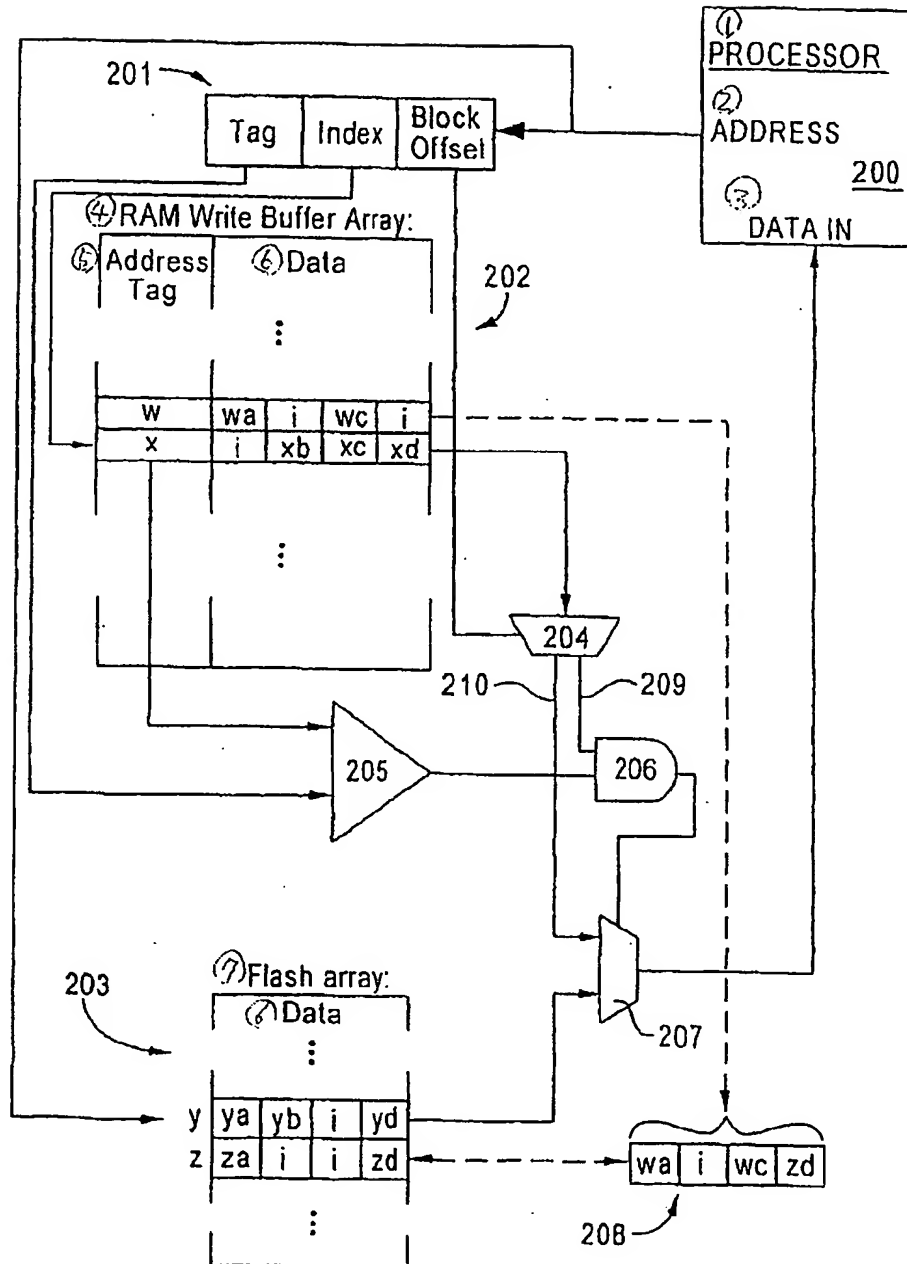


FIGURE 2

【图 3】

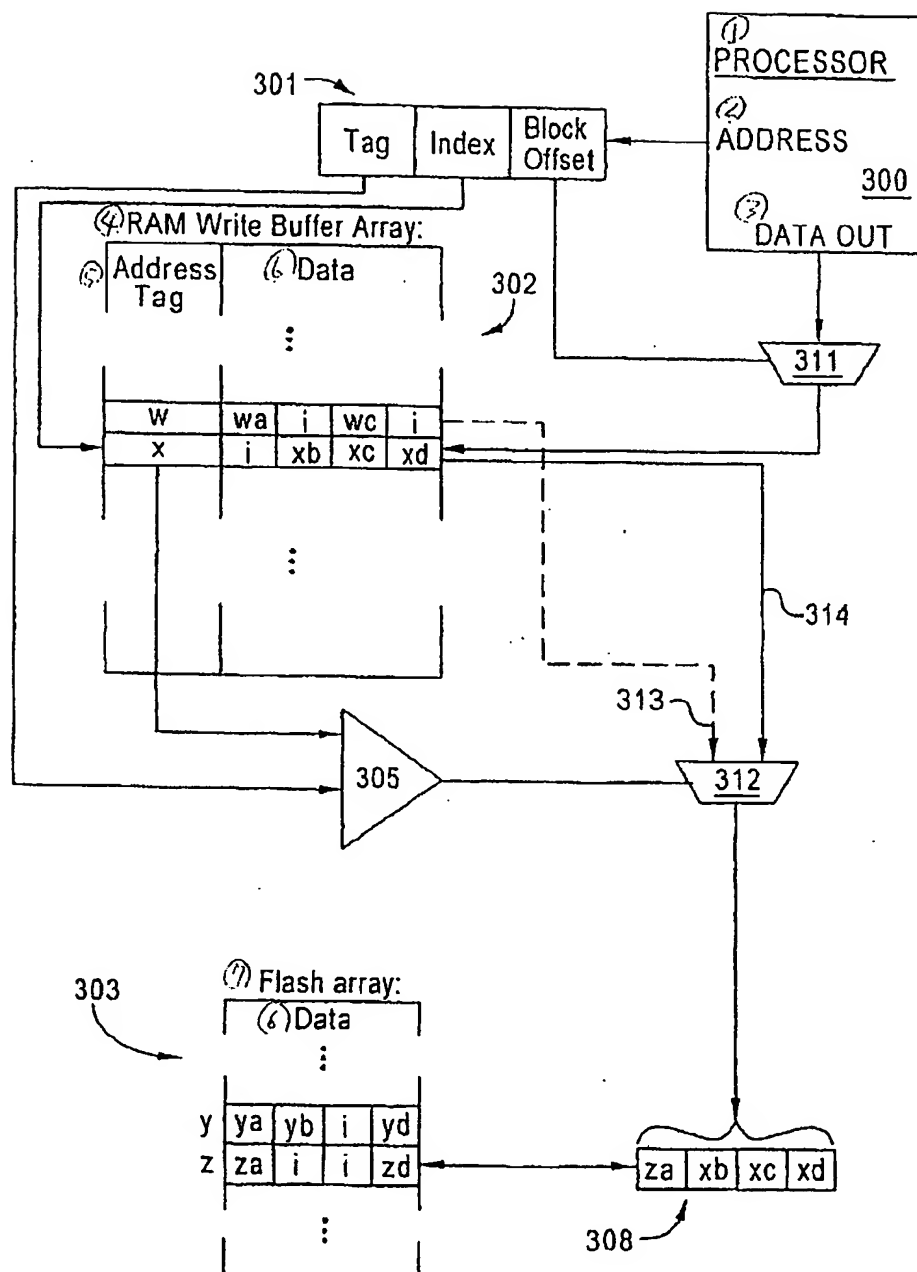


FIGURE 3



【 図 4 】

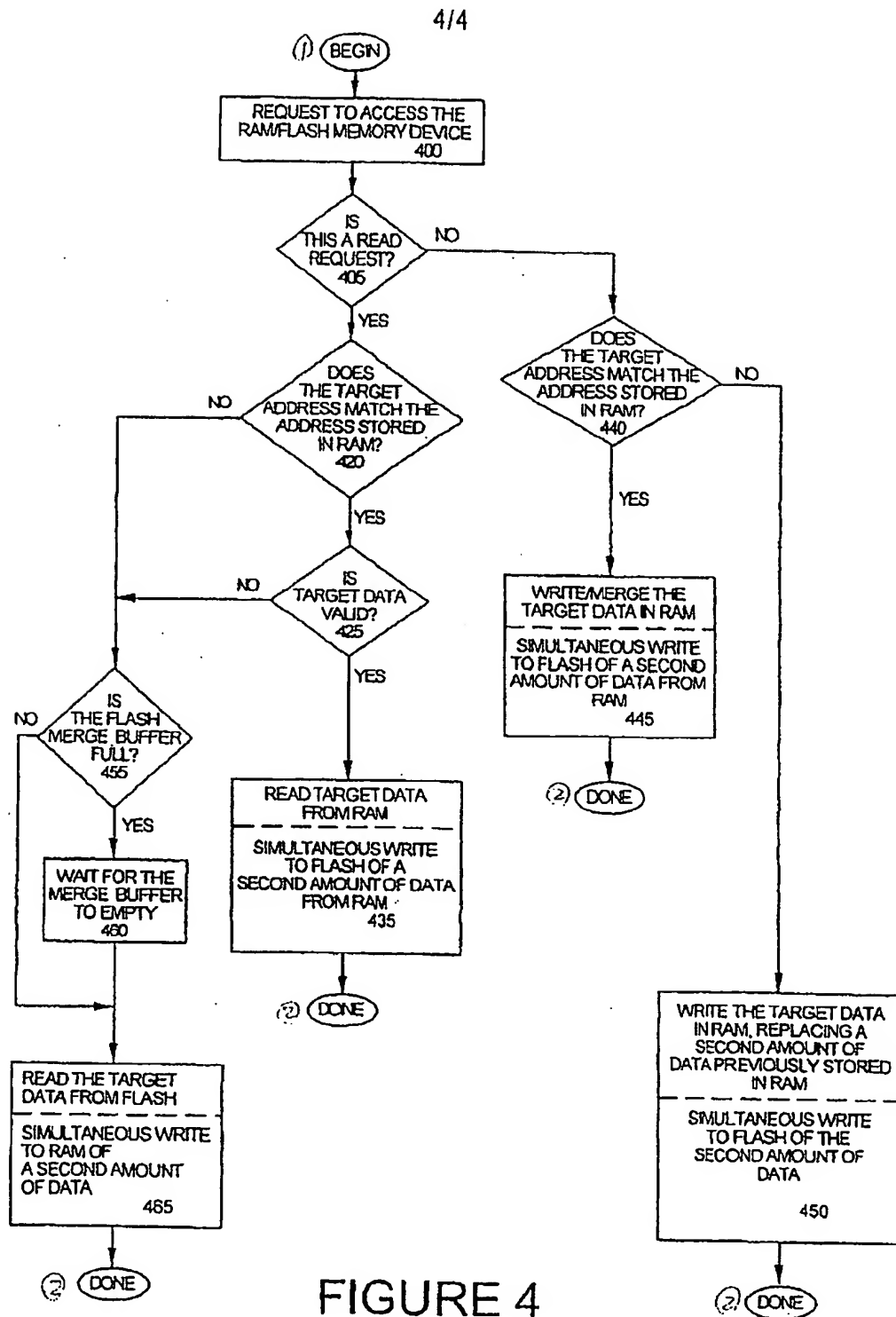


FIGURE 4

[ 国際調査報告 ]

## INTERNATIONAL SEARCH REPORT

International application No.  
PCT/US97/18425

<b>A. CLASSIFICATION OF SUBJECT MATTER</b> IPC(6) : 006F 13/00; G11C 14/00, 16/06 US CL : 711/103, 162; 365/228 According to International Patent Classification (IPC) or to both national classification and IPC		
<b>B. FIELDS SEARCHED</b> Minimum documentation searched (classification system followed by classification symbols) U.S. : 711/103, 162; 365/228; 395/872 Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Electronic data base consulted during the international search (name of data base and, where practicable, search terms used) Please See Extra Sheet.		
<b>C. DOCUMENTS CONSIDERED TO BE RELEVANT</b>		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	US 5,438,549 A (LEVY) 01 August 1995 (01.08.95), see column 2, lines 21-46 and Figure 2.	1-23
Y	US 5,412,612 A (OYAMA) 02 May 1995 (02.05.95), see column 1, line 51 to column 2, line 3; column 2, line 47 to column 4, line 18; and Figures 1-3C.	1-23
Y	US 5,488,711 A (HEWITT ET AL) 30 January 1996 (30.01.96), see the abstract; column 2, lines 28-37; column 3, lines 7-16; column 6, lines 9-13 and 31-35; and Figure 7.	1-23
Y	US 5,359,569 A (FUJITA ET AL) 25 October 1994 (25.10.94), see column 2, lines 10-66 and Figure 1.	1-23
<input checked="" type="checkbox"/> Further documents are listed in the continuation of Box C. <input type="checkbox"/> See patent family annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "B" earlier document published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "Z" document member of the same patent family		
Date of the actual completion of the international search 29 JANUARY 1998		Date of mailing of the international search report 20 MAR 1998
Name and mailing address of the ISA/US Commissioner of Patents and Trademarks Box PCT Washington, D.C. 20231 Facsimile No. (703) 303-3230		Authorized officer GLENN GOSSAGE Jan 12/98 Telephone No. (703) 308-3820

## INTERNATIONAL SEARCH REPORT

International application No.  
PCT/US97/18425

## C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	US 5,530,828 A (KAKI ET AL) 25 June 1996 (25.06.96), see entire document.	1-23
A	US 5,509,134 A (FANDRICH ET AL) 16 April 1996 (16.04.96), see entire document.	1-23

## INTERNATIONAL SEARCH REPORT

International application No.

PCT/US97/18425

**B. FIELDS SEARCHED**

Electronic data bases consulted (Name of data base and where practicable terms used):

USPTO Automated Patent System (APS) files USPAT, EPOABS

search terms: volatile, nonvolatile, block, flash, EPROM, EEPROM, merge, valid, invalid

フロントページの続き

(81)指定国 EP(AT, BE, CH, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE), OA(BF, BJ, CF, CG, CI, CM, GA, GN, ML, MR, NE, SN, TD, TG), AP(GH, KE, LS, MW, SD, SZ, UG, ZW), EA(AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), AL, AM, AT, AU, AZ, BA, BB, BG, BR, BY, CA, CH, CN, CU, CZ, DE, DK, EE, ES, FI, GB, GE, GH, HU, ID, IL, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MD, MG, MK, MN, MW, MX, NO, NZ, PL, PT, RO, RU, SD, SE, SG, SI, SK, SL, TJ, TM, TR, TT, UA, UG, UZ, VN, YU, ZW

(72)発明者 ジュングロス, オーエン・ダブリュ  
アメリカ合衆国・95370・カリフォルニア  
州・ソノラ・オハラ ドライブ・184

(72)発明者 カーブラン, デービッド・ジェイ  
アメリカ合衆国・95050・カリフォルニア  
州・サンタ バーバラ・パーク アヴェニュー・4番・2740

【要約の続き】

は、EPROMまたはEEPROMとすることができる。

**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☒ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☒ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**